

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-057935

(43)Date of publication of application : 03.03.1995

(51)Int.Cl.

H01F 17/00
H01F 27/29

(21)Application number : 05-200541

(71)Applicant : HITACHI METALS LTD

(22)Date of filing : 12.08.1993

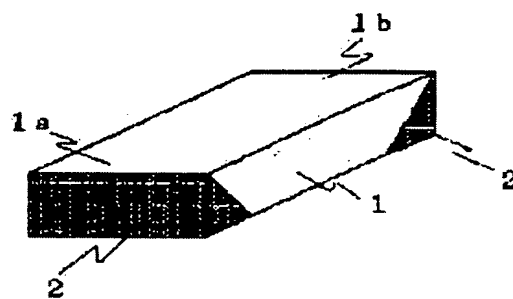
(72)Inventor : KURIHARA KOICHIRO
NUMATA TOSHIO

(54) MULTILAYER CHIP INDUCTOR

(57)Abstract:

PURPOSE: To provide a multilayer chip inductor in which a composite chip inductance comprising series connected elements can be evaluated and controlled while reducing the cost significantly.

CONSTITUTION: The multilayer chip inductor comprises an inner conductor buried in a chip body 1 while exposing from the opposite ends thereof, and a pair of outer electrodes 2 applied to the chip body 1 at the opposite ends thereof and connected electrically with the exposed parts of the inner conductor, wherein at least one outer electrode 2 is formed below four sides of the chip body 1.



LEGAL STATUS

[Date of request for examination]

17.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3301564

[Date of registration]

26.04.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-57935

(43) 公開日 平成7年(1995)3月3日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 F 17/00 27/29	A	8123-5E		
		8123-5E	H 0 1 F 15/ 10	C

審査請求 未請求 請求項の数 1 O L (全 4 頁)

(21) 出願番号 特願平5-200541

(22) 出願日 平成5年(1993)8月12日

(71) 出願人 000005083

日立金属株式会社

東京都千代田区丸の内2丁目1番2号

(72) 発明者 栗原 光一郎

埼玉県熊谷市三ヶ尻5200番地日立金属株式会社磁性材料研究所内

(72) 発明者 沼田 敏男

東京都千代田区丸の内二丁目1番2号日立金属株式会社内

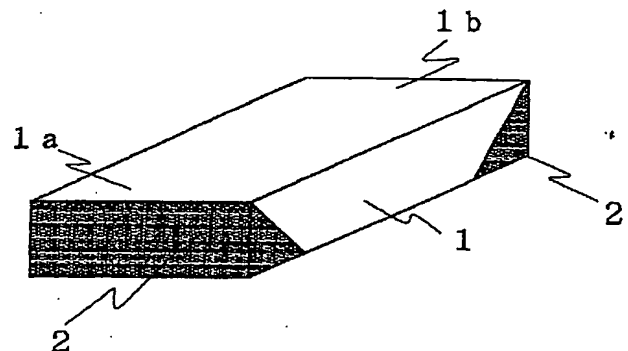
(74) 代理人 弁理士 大場 充

(54) 【発明の名称】 積層チップインダクタ

(57) 【要約】 (修正有)

【目的】 素子を直列に接続した場合の合成チップインダクタンスの評価および制御が可能で、且つ大幅なコストダウンを図った積層チップインダクタを提供する。

【構成】 チップ本体1の両端から露出するよう前記チップ本体1の内部に埋設された内部導体、および前記チップ本体1の両端部分に被覆されかつ前記内部導体の露出する部分に電気的に接続された一対の外部電極2からなる積層チップインダクタにおいて、前記一対の外部電極2の少なくとも一方の外部電極2が前記チップ本体1の表面の4面以下に形成されることを特徴とする積層チップインダクタである。



1

【特許請求の範囲】

【請求項1】 チップ本体、前記チップ本体の両端から露出するよう前記チップ本体の内部に埋設された内部導体、および前記チップ本体の両端部分に被覆されかつ前記内部導体の露出する部分に電気的に接続された一対の外部電極からなる積層チップインダクタにおいて、前記一対の外部電極の少なくとも一方の外部電極が前記チップ本体の表面の4面以下に形成されることを特徴とする積層チップインダクタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、積層型チップインダクタに関するものであり、特に外部電極の安価な構造に関し、さらには内部のコイルに発生する磁力線の方向の認識手段に関するものである。

【0002】

【従来の技術】従来のチップインダクタは絶縁被覆を有する導電線を磁芯の回りに巻装してコイルを形成したものである。(以下、巻線型と記述する。)しかし、この方法では小型化に限界があり、また、巻線作業により量産性にも問題があった。上記の解決策として、特開昭48-81057号公報、米国特許第3765082号に示されるように、ドクターブレード法によってグリーンシートを形成し、スルーホールを打ち抜き、U字状の導電パターンを印刷し、スルーホールを介して、隣接するグリーンシートの導電パターンの端部同士が電気的に接続し、かつ積層方向にコイルが重畳するように積層し、熱圧着することにより一体化し、焼成することにより製造するチップインダクタが提案されている。(以下、シート法と記述する。)また、特公昭57-39521号公報には、複数個の約半ターン分の印刷導体パターン間に印刷フェライト磁性体層を介在し、かつ縁端部を介して接続して導電パターンが積層方向に重畳するコイルを形成することにより一体化し、焼成するチップインダクタが提案されている。(以下、印刷法と記述する。)

【0003】

【発明が解決しようとする課題】前記シート法や印刷法による、一体焼成のチップインダクタでは、コイルの周囲が磁性体で被われているため、外部への磁力線の漏れは巻線型に比べて少ない。しかしながら、いくらかの磁力線は漏れており、大きなチップインダクタを得るため、上記チップインダクタを直列に接続して使用する場合、それぞれのコイルが発生する磁力線の相対方向により、カップリングやデカップリング等の相互作用が発生し、直列による合成チップインダクタンスは単一の素子の単なる和にならない。すなわち、2個のチップインダクタの幾何学的な配置は同一であっても、2つのコイルの発生する磁力線の方向の相対関係は3通りあり、得られる合成チップインダクタンスは3つの異なった値をとる。さらに、多数個を直列に使用する場合は、得られる

2

合成チップインダクタンスは、より多様な値をとるようになる。従って、目的とするチップインダクタンスを得るためには、実装後、実際にチップインダクタンスを測定して確認し、素子の向きを変更することで可能であるが、現実的には表面実装部品として、直列に接続した使用方法は不可能である。以上のように、チップインダクタ素子から漏れる磁力線の方向を認識する手段が無いため、現実的には、直列接続して使用できないという問題点があった。また、図4に示す従来の積層チップインダクタにおいては、外部電極2はチップ本体1の5面の全てにAgのような貴金属を使用して形成され、積層チップインダクタのコストアップを招くという問題点もあった。さらに、外部電極は本来、チップ本体の内部電極と、実装、半田付け後の基板配線とを電気的に接続するために設けられているものであるが、従来のチップインダクタの外部電極の表面積は必要以上に大きい。従って、半田付け時に必要以上の半田が接続部および外部電極表面に付着し、半田付け後に基板にたわみ、曲げ等の応力が加わった場合、接続部で破断しやすい等、半田付け後の接続信頼性が低いという問題点もあった。本発明は、上記問題点を解決し、チップインダクタを直列接続で使用する場合、一定の合成チップインダクタンスが得られるように、コイルに直流電流を流した際、発生する磁力線の方向を認識できる手段を安価に有し、かつ、半田付け後の接続信頼性が高い積層チップインダクタを提供するものである。

【0004】

【課題を解決するための手段】上記問題点を解決する方法として、図1に一例を示すように、チップ本体

(1)、前記チップ本体(1)の両端から露出するよう前記チップ本体(1)の内部に埋設された内部導体(図示せず)、および前記チップ本体(1)の両端部分に被覆されかつ前記内部導体の露出する部分に電気的に接続された一対の外部電極(2、2)からなる積層チップインダクタにおいて、前記一対の外部電極(2、2)の少なくとも一方の外部電極が前記チップ本体の表面の4面(図4の2b~2e)以下に形成されることを特徴とする積層チップインダクタである。本発明では磁性体印刷層または磁性体グリーンシートと印刷導体パターンを積層し、一体焼成した積層チップインダクタであって、積層方向に重畳するコイル状の導体パターンを有し、前記コイル状の導電パターンに直流電流を流した際、発生する磁力線の方向を認識できる手段を有し、前記導体パターンの両端部が、積層方向にほぼ垂直な2側面に延長し、前記2側面に、外部電極端子が形成されているものである。本発明において前記発生する磁力線の方向を認識できる手段として、外部電極の形成に方向性を設けることとした。すなわち、図1において、外部電極2を従来のように5面(図4の2a~2e)全面に形成するのではなく4面(図4の2b~2e)以下に形成すること

3

により外部電極の無い面1 a, 1 bの有無で前記磁力線の方向を表示できる。そして、表面実装時に積層チップインダクタをパーツフィーダ等へ供給する際、パーツフィーダ等へ前記外部電極の有無を検出するセンサを設けておけば、高速で前記磁力線の方向を認識しつつ表面実装することが可能である。なお、図2に示すように積層チップインダクタを基板4に表面実装する際、半田3に接する面にだけ外部電極2を設けたので、高価なAg等の貴金属の使用量を低減することができ、かつ半田付け時に必要以上の半田が接続部および外部電極表面に付着することがないため、半田付け後の接続信頼性を向上させることができる。ここで、図1においては外部電極2が各々積層チップインダクタの4面に形成した例を示したが、図3に示すように両端面2 dの全面に亘って設けなくても良く、更に2 b, 2 c面を省略することもでき、機能的には両端面2 d一面のみに形成してもよい。

【0005】

【作用】本発明にかかる積層チップインダクタの最上層のグリーンシートに形成されたスルーホールは、スルーホールに近い外部電極（導電パターンが形成されたグリーンシートの内、最下層の導電パターンに接続される）を陽極として、直流電流を流したとき、スルーホールが形成された側面（上面）に磁力線が素子の内部から表面の方向に発生する。本発明によれば、素子の内部のコイルに直流電流を流した際、発生する磁力線の方向を認識できる手段を有するため、素子を直列に接続した場合の合成チップインダクタンスの評価および制御が可能となる。また、機能上、必要十分な部分のみに外部電極を形成するのでAgの様な高価な貴金属の使用量を低減することができ、また、半田付け後の接続信頼性を向上させることができる。なお、製造方法は特に限定するものではないが、図1に示すチップ本体1を溶けたAgにディッピング（dipping）する際に、多数のチップ本体を保持する空洞を有する保持治具によって傾けた状態に保持しておけば容易に図1に示すチップ本体1 aにAgなどを付着させない外部電極構造が得られる。

【0006】

【実施例】以下、実施例に従い本発明を詳細に説明する。

（実施例1） Fe_2O_3 、 NiO 、 ZnO 、 CuO を主成分とするNi-Zn-Cuフェライト粉末に、有機バインダーとしてPVB（ポリビニルブチラル）、可塑剤としてBPBG（ブチルフタリルブチルグリコレート）、有機溶剤としてエタノールおよびブタノールを各々添加して混合し、スラリーを作成した。このスラリーをドクターブレード法によりシリコン処理を行ったポリエステル製のキャリアフィルム上に厚さ100 μm のシート状に形成した。これをフィルムから剥離し、約50mm角のシートに切断し、位置合わせ用のガイド穴が設けられているステンレス製の枠にグリーンシートを貼り

4

付けた。上記グリーンシートが貼り付けられた枠を、位置合わせ用のガイドピンが設けられている穴明け金型に、前記枠のガイド穴を合わせてセットし、所定の位置にスルーホールを多数形成した。

【0007】次に、スルーホールが形成されたグリーンシートに、前記と同様にガイドピンとガイド穴による位置合わせ方法により、スルーホールの位置に対して所定の導電パターンの位置が合うように、銀ペーストにより導電パターンを印刷した。次に、前記印刷されたグリーンシートを、前記と同様にガイドピン、ガイド穴を用いた位置合わせ方法により、所定の大きさに切断し、積層金型内に、一つのコイルが形成されるように積み重ねた。この時、導電パターンおよびスルーホールが形成されていないグリーンシートを上2枚、下に3枚、さらに、最上層には直流電流を流したときに内部のコイルが発生する磁力線の方向が分かるように、スルーホールを形成したグリーンシート1枚を同時に積層した。次に、これら積み重ねたグリーンシートを、温度120℃、圧力200kg/cm²の条件で熱圧着し、積層体を作製した。積層体を切断機でチップ形状に切り離した。これを、大気中、500℃で脱バインダーを行い、続いて、900℃で1時間焼成した。さらに、銀を主成分とする一対の外部電極を図1に示すように4面に塗布し、600℃で焼き付けた。最後に、この外部電極上に電解バレルめっきにより、Niめっきおよび半田めっきを施し、図1に示すような積層チップインダクタを得た。

【0008】

【発明の効果】以上、説明したように、本発明によれば、素子の内部のコイルに直流電流を流した際、発生する磁力線の方向を認識できる手段を有するため、素子を直列に接続した場合の合成チップインダクタンスの評価および制御が可能となる。従って、直列接続の実装使用が可能となる。また、外部電極を必要十分な表面にだけ塗布したので、Agのような高価な貴金属の使用量を低減でき、大幅なコストダウンを図ることが可能となる。さらに、半田付け時に必要以上の半田が接続部および外部電極表面に付着することがないため、半田付け後の接続信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明における作製した積層チップインダクタの斜視図である。

【図2】積層チップインダクタの基板への表面実装を示す図である。

【図3】本発明における作製した別の積層チップインダクタの斜視図である。

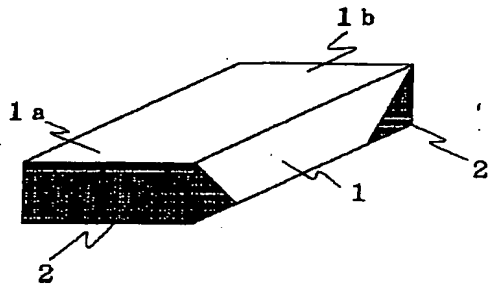
【図4】従来の積層チップインダクタの斜視図である。

【符号の説明】

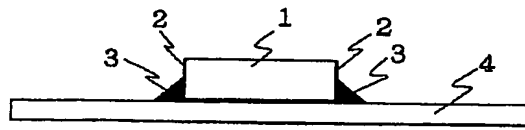
- 1 チップ本体
- 2 外部電極
- 3 半田

4 基板

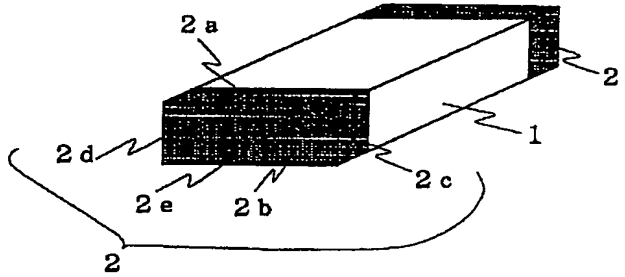
【図1】



【図2】



【図4】



【図3】

